

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L 29/772

(11) Publication No.: P2001-0034186

(43) Publication Date: 25 April 2001

(21) Application No.: 10-2000-7007821

(22) Application Date: 15 July 2000

(71) Applicant:

Thin Film Electronics ASA

P.O.B. 1872, Bika N-0124, Oslo, Norway

(72) Inventor:

BERGGREN, Rolf, Magnus

Vasavagen 30, S-582 33 Linköping, Sweden

Gustafsson, Bengt, Goran

Trumslagaregatan 33, S-582 16 Linköping, Sweden

KARLSSON, Johan, Roger, Axel

Stenhogsvagen 168, S-589 27 Linköping, Sweden

(54) Title of the Invention:

Field-effect transistor

Abstract:

A field-effect transistor is made with electrodes (2, 4, 5) and isolators (3) in vertically provided layers, such that at least the electrodes (4, 5) and the isolators (3) form a step (6) oriented vertically relative to the first electrode (2) or the substrate (1). Implemented as a junction field-effect transistor (JFET) or a metal-oxide semiconducting field-effect transistor (MOSFET) the electrodes (2, 5) forming respectively the drain and source electrode of the field-effect transistor or vice versa and the electrode (4) the gate electrode of the field-effect transistor. Over the layers in the vertical step (6), an amorphous, polycrystalline or microcrystalline inorganic or organic semiconductor material is provided and forms the active semiconductor of the transistor contacting the gate electrode (8) directly or indirectly and forming a vertically oriented transistor channel (9) of the p or n type between the first (2) and the second (5) electrode. In a method for fabrication of a field effect transistor, a vertical step (6) is formed by a means of a photolithographic process and a soluble amorphous active semiconductor material (8) is deposited over the first electrode (2) and the vertical step (6) such that a vertically oriented transistor channel between the drain and source electrode (2, 5) is obtained. In a JFET, the semiconductor material (8) contacts the gate electrode (4) directly. In a MOSFET, a

vertically oriented gate isolator (7) is provided between the gate electrode (4) and the semiconductor material (8).

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 29/772

(11) 공개번호
(43) 공개일자

특2001-0034186
2001년04월25일

(21) 출원번호	10-2000-7007821
(22) 출원일자	2000년07월15일
번역문 제출일자	2000년07월15일
(86) 국제출원번호	PCT/NO1999/00013
(86) 국제출원출원일자	1999년01월14일
(87) 국제공개번호	WO 1999/40631
(87) 국제공개일자	1999년08월12일
(81) 지정국	AP ARIPO특허: 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 가나, 감비아, 짐바브웨 EA 유라시아특허: 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄 EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스 OA OAPI특허: 부르키나파소, 베냉, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기네비소 국내특허: 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지아, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 크로아티아, 인도네시아, 가나, 감비아, 시에라리온, 유고슬라비아, 짐바브웨
(30) 우선권 주장	980224 1998년01월16일 노르웨이(NO) 985472 1998년11월23일 노르웨이(NO)
(71) 출원인	뎀 필름 일렉트로닉스 에이에스에이, 제이르 아이. 레이스타드 노르웨이 노르웨이 오슬로 엔-0124 비카 피.오.박스 1872
(72) 발명자	베르그렌, 룬프, 마그너스 스웨덴 스웨덴에스-58233린뢰핑바사배겐30 구스타프손, 벤그트, 괴란 스웨덴 스웨덴에스-58216린뢰핑트럼스라가레가탄33 칼손, 요한, 로거, 악셀 스웨덴 스웨덴에스-58927린뢰핑슈텐호그스배겐168
(74) 대리인	남상선
(77) 심사청구	있음
(54) 출원명	전계 효과 트랜지스터

요약

전계 효과 트랜지스터는 수직하게 제공된 층에서 전극(2, 4, 5) 및 절연체(3)로 만들어지며, 적어도 전극(4, 5) 및 절연체(3)는 제 1 전극(2) 또는 기판(1)에 대해 수직하게 향하는 스텝(6)을 형성한다. 접합 전계 효과 트랜지스터(JFET) 또는 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)로 실현될 때, 전극(2, 5)은 각각 전계 효과 트랜지스터의 드레인 및 소스 전극을 형성하거나 반대로 형성하며 전극(4)은 전계 효과 트랜지스터의 게이트 전극을 형성한다. 수직 스텝(6)의 층 위에 비결정, 다결정 또는 미정질 무기 또는 유기 반도체 재료가 제공되며, 게이트 전극(8)과 직접 또는 간접으로 접촉하는 트랜지스터의 능동 반도체를 형성하며 제 1 전극(2)과 제 2 전극(5) 사이에 p 또는 n 타입의 수직하게 향하는 트랜지스터 채널(9)을 형성한다. 전계 효과 트랜지스터를 제작하기 위한 방법에서 수직 스텝(6)은 포토리소그래피 공정으로 형성되며 가용성 비결정 능동 반도체 재료(8)는 제 1 전극(2) 및 수직 스텝(6) 위에 증착되어 드레인과 소스 전극(2, 5) 사이에 수직하게 향하는 트랜지스터 채널이 얻어진다. JFET 에서 반도체 재료(8)는 게이트 전극(4)과 직접 접촉한다. MOSFET 에서는 수직하게 향하는 게이트 절연체(7)는 게이트 전극(4)과 반도체 재료(8) 사이에 제공된다.

대표도

도2

명세서

기술분야

본 발명은 전계 효과 트랜지스터에 관한 것이다. 전계 효과 트랜지스터는 대체적으로 수직 구조를 가지는 접합형 전계 효과 트랜지스터 및 금속 산화막 반도체 전계 효과 트랜지스터이며 비도전성 재료로 된 평면 기판을 포함한다.

배경기술

능동 반도체로서 비결정성 재료를 사용하는 전계 효과 트랜지스터(FET)는 종래 기술에 따른 박막 전계 효과 트랜지스터를 구현한 두 예(도 1 a, 도 1b)를 도시한 도 1 처럼 통상적으로 수평구조로 구현된다. 여기서 드레인 전극 및 소스 전극은 트랜지스터 채널에 의해 서로 분리된다. 이 채널은 비결정성 반도체 재료를 포함한다. 게이트 전극은 게이트 절연체에 의해 채널로부터 절연되는 수평 층으로 한정된다. 트랜지스터 효과는 게이트 전위에 의존하는 공핍형과 농축형으로 한정된다. 이런 종류의 전계 효과 트랜지스터에서 능동 비결정성 반도체 재료로서 접합 중합체, 방향족 분자 및 비결정성 무기 반도체가 사용된다. 예를 들어 도 1 은 두께 10 나노미터의 비결정성 Si:H 층(D.B.Thomasson & al., IEEE, Dev.Lett., Vol.18, p.117: March 1997) 형태의 능동 반도체 재료를 가진 박막 트랜지스터를 도시한다. 금속일 수도 있는 게이트 전극이 기판에 제공된다. 질화규소(SiN) 절연층이 게이트 전극 위에 설치되며 비결정성 Si:H 형태의 능동 반도체 재료가 두께 10 나노미터의 층으로 절연층 위에 제공된다. 드레인 전극 및 소스 전극은 능동 반도체 재료상에 서로 이격되어 제공된다. 드레인 전극 및 소스 전극은 예를 들어 알루미늄처럼 게이트 전극과 비교해서 상이한 금속으로 이뤄진다. 유기 박막 트랜지스터의 다른 예는 도 1b 에 도시된다.(A.Dodabalapur & al., Appl.Phys.s.Lett.; Vol.69, pp.4227-29, December 1996) 여기서 능동 반도체 재료는 예를 들어, 중합체 또는 유기 분자 같은 유기 화합물이다. 도 1 a 의 예와 같이 게이트 전극은 기판 위에 제공되며 게이트 전극의 표면을 산화물 층으로 코팅함으로써 형성될 수도 있는 층의 형태로 절연체가 게이트 전극 위로 제공된다. 어떤 것은 게이트 전극의 표면에서 금속을 산화시킴으로써 이뤄지는 것도 있다. 소스 및 드레인 전극은 절연층 상에 이격되어 제공되며 한 쪽 끝상에 유사한 수직 횡단 벽과 서로 연결된 이격된 수직 측벽이 소스 및 드레인 전극 위에 제공된다. 벽과 수직인 평면에 트랜지스터 채널은 U 처럼 형성된 부분을 얻는데, 측벽은 U 의 다리 부분이며 횡단선은 교차선이다. 상기 층은 적당한 기판 위에 제공될 수도 있고 절연 재료의 층으로 모두 커버링될 수도 있다. 절연층 위로 도전층이 제공되어 트랜지스터의 게이트 전극을 형성한다. 측벽의 끝 또는 U 자형 채널 구조의 다리 끝은 노출되어 있으며 채널의 이러한 끝 영역에서 소스 및 드레인 전극이 예를 들어 이온 주입 과정을 통해 각각 형성된다. 이런 종류의 박막 트랜지스터의 근본적인 목적은 통상적인 실시로 얻을 수 있는 것과 비교해서 더 적은 영역에서 만족할 만한 채널 길이를 제공하는 것이나 한편으로 트랜지스터가 비동작 상태일 때 표류 전류가 감소된다.

도 1c 는 n-채널 JFET 로서 구현된, 선행 기술에 따른 플레이너 JFET 구조를 개략적이고 대체적으로 도시한다.

만일 비결정성 재료의 특별한 공정 특성이 개발되면 비결정성 반도체 재료의 사용은 상이한 트랜지스터 구조의 구현을 가능하게 한다. 따라서 본 발명의 목적은 수직 구조를 가진 접합 전계 효과 트랜지스터(JFET) 및 금속 산화막 전계 효과 트랜지스터(MOSFET)를 제공하는 것이며, 특히 게이트 전극 및 드레인 전극이나 소스 전극을 포함하는 수직 구조 상에 유기 분자, 접합 중합체 또는 비결정성 무기 반도체의 형태로 비결정성 능동 반도체 재료를 증착하는 것이다. 끝으로 수직으로 향하는 트랜지스터 채널을 제공하는 것도 본 발명의 목적이다.

발명의 상세한 설명

일반적인 반도체 장치는 이전엔 수직 구조로 제작되었다. 이는 칩 영역의 보다 효율적인 개발을 위해서이다. 수직 구조를 가진 트랜지스터는 수평 구조를 가진 트랜지스터 보다 더 작은 공간이 필요할 것으로 예상된다.

예를 들어 수직 채널을 가진 박막 트랜지스터가 미국 특허 5 563 077 (H.C.Ha)로 부터 개시되었는데, 여기서 채널은 수직 끝 벽과 한 쪽 끝에서 연결된, 두 개의 서로 이격된 수직 측벽으로 형성된다. 벽에 수직인 평면에서 트랜지스터 채널은 U 형상의 부분을 갖는데, 측벽은 U 의 다리이며 끝 벽은 교차선이다. 벽은 적당한 기판 위에 제공될 수도 있으며 절연 재료 층으로 모두 커버링될 수도 있다. 트랜지스터의 게이트 전극을 형성하는 도전층은 절연층 위에 제공된다. 측벽의 끝 또는 U 형상 채널 구조의 끝은 노출되며 예를 들어 이온 주입 과정에 의해 채널의 이런 끝 영역 위에 소스 및 드레인 전극이 각각 형성된다. 이런 종류의 박막 트랜지스터의 근본적인 목적은 통상적인 실시로 얻을 수 있는 것과 비교해서 더 적은 영역에서 만족할 만한 채널 길이를 제공하는 것이나 한편으로 트랜지스터가 비동작 상태일 때 누설 전류가 감소된다.

전술한 목적 및 잇점은 제 1 전극을 포함하는 도전 재료 층이 기판 상에 제공되는 점에서 특징적인 접합 전계 효과 트랜지스터로 본 발명에 따라 달성된다. 제 1 절연체를 형성하는 절연 재료 층이 기판 상에 제공되며 제 2 전극을 형성하는 도전 재료 층은 제 1 절연체 상에 제공되며 제 2 절연체를 형성하는 절연 재료 층이 제 2 전극 상에 제공되고 제 3 전극을 형성하는 도전 재료 층은 제 2 절연체 상에 제공된다. 상기 제 1 및 제 3 전극은 각각 트랜지스터의 드레인 및 소스 전극을 포함하며 반대 경우도 마찬가지이고 상기 제 2 전극은 트랜지스터의 게이트 전극을 포함한다. 적어도 각각 적층 구조의 각 층을 가진 상기 제 2 및 제 3 전극 그리고 상기 제 1 및 제 2 절연체는 상기 제 1 전극 및/또는 상기 기판에 대해 수직하게 향하는 스텝(step)을 형성한다. 트랜지스터의 능동 반도체를 형성하는 반도체 재료는 상기 제 1 전극, 제 2 전극 및 제 3 전극 상에 제공된다. 상기 능동 반도체는 게이트 전극과 직접 접촉하며 상기 제 1 과 제 3 전극 사이에 대체로 수직하게 향해진 트랜지스터 채널을 형성한다. 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET)는 제 1 전극을 포함하는 도전 재료 층이 기판 상에 제공되는 것을 특징으로 한다. 제 1 절연체를 형성하는 절연 재료 층은 제 1 전극 상에 제공되며 제 2 전극을 형성하는 도전 재료 층은 제 1 절연체 상에 제공되며 제 2 절연체를 형성하는 절연 재료 층은 제 2 전극 상에 제공되고 제 3 전극을 형성하는 도전 재료 층은 제 2 절연체 상에 제공된다. 상기 제 1 및 제 3 전극은 각각 트랜지스터의 드레인 및 소스 전극을 포함하며 반대 경우도 마찬가지이고 상기 제 2 전극은 트랜지스터의 게이트 전극을 포함한다. 적어도 각각 적층 구조의 각 층을 가진 상기 제 2 및 제 3 전극 그리고 상기 제 1 및 제 2 절연체는 상기 제 1 전극 및/또는 상기 기판에 대해 수직하게 향하는 스텝을 형성한다. 게이트 절연체를 형성하는 수직하게 향해진 절연 재료 층은 상기 제 2 전극 및 상기 수직 스텝 상에 제공된다. 트랜지스터의 능동 반도체를 구현하고 상기 제 1 및 제 3 전극 사이에 실질적으로 수직하게 향하는 트랜지스터 채널을 형성하는 반도체 재료가 상기 제 1 전극의 노출된 부분 상에 제공된다. 상기 수직 스텝은 게이트 절연체 및 제 3 전극을 가진다.

게다가 본 발명에 따른 전술한 목적 및 잇점은 제 1 전극을 형성하는 도전 재료 층을 기판 상에 증착하는 단계를 포함하는 방법으로 특징되는 전계 효과 트랜지스터의 제작을 위한 방법으로 달성된다. 제 1 전극 상면 포토레지스트로 이뤄지며 포토리소그래피 공정에 의해 제 1 전극 및/또는 기판에 대해 수직인 스텝이 형성되는데 각각 도전층 및 포토레지스트 상에 증착된다. 도전층 및 포토레지스트는 층 방식의 적층 구조로 수직 스텝, 제 1 절연체, 제 2 전극을 형성하는 도전 재료, 제 2 절연체 및 제 3 전극을 형성하는 도전 재료를 형성한다. 포토레지스트 및 포토레지스트 그 자체 위에 적층된 구조를 리프트-오프 방법에 의해 제거함으로써 제 1 전극 상에 제공된 잔존하는 절연체-전극 구조는 제 1 전극 및/또는 기판에 대해 수직하게 향하는 스텝을 형성하며 가용 비결정성 능동 반도체 재료가 제 1 전극 및 수직 스텝 상에 증착된다. 따라서, 반도체 재료는 각각 드레인 또는 소스 전극을 구현하는 제 1 및 제 3 전극과 접촉하며(전계 효과 트랜지스터에서 반대 경우도 마찬가지이다.), 제 2 전극은 전계 효과 트랜지스터의 게이트 전극을 구현하여 수직하게 향하는 트랜지스터 채널을 형성한다.

전계 효과 트랜지스터는 산화막 전계 효과 트랜지스터(MOSFET)일 경우 절연 재료가 수직하게 향하는 층에서 수직 스텝 상에 증착되는 잇점이 있다. 절연 재료는 제 2 전극 상에 증착되며 전계 효과 트랜지스터에서 게이트 전극을 형성한다. 상기 증착은 적층 구조 및 포토레지스트의 제거 후, 가용 비결정성 능동 반도체 재료의 증착 전에 행해진다.

능동 반도체 재료가 비결정성 무기 또는 유기 반도체 재료인 것은 본 발명 또는 잇점에 따를 것이나 엄격히 비결정질 반도체 재료일 필요는 없고 다결정 또는 미정질 무기 또는 유기 반도체 재료 중에서 선택될 수도 있다.

또다른 특징 및 잇점은 첨부된 종속항으로 부터 명백하다.

본 발명은 도면을 참조하여 보다 자세히 논의될 것이다.

도면의 간단한 설명

도 1a 는 전술한 종래 기술의 예를 도시한 도면이다.

도 1b 는 전술한 종래 기술의 또다른 예를 도시한 도면이다.

도 1c 는 종래 기술에 따른 플레이너 접합 전계 효과 트랜지스터의 예를 도시한 도면이다.

도 2 는 본 발명에 따른 접합 전계 효과 트랜지스터의 실시예를 도시한 도면이다.

도 3 은 본 발명에 따른 MOSFET 의 실시예를 도시한 도면이다.

도 4a-e 는 전계 효과 트랜지스터가 접합 전계 효과 트랜지스터로 구현된 본 발명에 따른 방법의 실시예에서 상이한 공정 단계를 도시한 도면이다.

도 5a, 5b 는 본 발명에 따른 MOSFET 을 구현하기 위한 또다른 공정 과정 단계를 도시한 도면이다.

실시예

도 2 는 본 발명에 따른 접합 전계 효과 트랜지스터(JFET)의 실시예를 도시한다. 이하에서 더 자세히 설명될 것 처럼 이것은 모두 박막 기술로 구현된다. 트랜지스터에서 제 1 전극을 형성하는 도전 재료 층(2)이 기판(1) 상에 제공된다. 이 층상에 절연 재료(3a)가 제공되어 제 1 절연체를 형성하고 제 1 절연체(3a) 위에 또다른 도전 재료(4), 예를 들어 트랜지스터의 제 2 전극(4)을 형성하는 금속이 제공된다. 제 2 전극(4) 상에 트랜지스터의 제 2 절연체를 형성하는 절연 재료(3b)가 제공되며 제 2 절연체(3b) 위에 트랜지스터의 제 3 전극을 형성하는 도전 재료 층(5)이 제공된다.

접합 전계 효과 트랜지스터로 구현되면 제 1 전극(2) 및 제 3 전극(5)은 각각 트랜지스터의 드레인 전극 및 소스 전극을 형성하며 반대의 경우도 동일하다. 제 2 전극(4)은 게이트 전극을 형성한다. 제 2 전극 및 제 3 전극(4,5) 그리고 절연체(3a, 3b)는 제 1 전극 상에 제공되어 제 1 전극(2) 및 기판(1)에 대해 도 2 에서 참조 번호 6 으로 표시된 확장인 수직 스텝 구조를 형성한다. 따라서 제 2 및 제 3 전극(4,5) 그리고 절연체(3)를 포함하는 구조는 오직 기판(1) 부분만 커버링하며 제 1 전극(2) 또는 기판(1) 상에 수직 스텝을 형성하는 층의 수평적 확장이 비교적 작게 만들어 질 수도 있다.

비결정, 다결정 또는 미정질 무기 또는 유기 반도체 재료일 수도 있는 능동 반도체 재료 층(8)은 예를 들어 트랜지스터의 소스 전극일 수도 있는 제 3 전극(5)의 윗면 위에, 수직 스텝 및 수직 스텝에 포함되는 게이트 전극(4)의 노출된 수직 표면 위에 그리고 제 1 전극(2) 아래에 제공된다. 게이트 전극(2) 및 반도체 재료(8)는 pn 접합을 형성한다. 실질적으로 트랜지스터 채널(9)은 능동 반도체 재료에서 p 채널이나 n 채널로 정의되며 제 1 전극(2)과 제 3 전극(5)사이에서 뻗어있고 실질적으로 게이트 전극(4)에서 pn 접합과 인접한다. 이런 식으로 구현되면 도 2 에 도시된 구조는 접합 전계 효과 트랜지스터(JFET)를 형성한다. 드레인 전극으로서 제 1 전극(2) 및 소스 전극으로서 제 3 전극(5)이 임의로 만들어 질 수 있으며 반대 경우도 마찬가지이다. 트랜지스터 효과, 이 경우 트랜지스터 채널의 유효 크기는 pn 접합 상에 트랜지스터 채널에 공급되는 전계에 의해 제어된다.

도 3 은 본 발명의 실시예에 따른 MOSFET 의 실시예를 도시한다. 이하에서 더 자세히 설명될 것 처럼 이것은 모두 박막 기술로 구현된다. 도전 재료 층(2)이 기판 상에 제공되어 트랜지스터의 제 1 전극을 형성한다. 이 층 상에 제 1 절연체를 형성하는 도전 재료(3a)가 제공되며 제 1 절연체(3a) 위에 예를 들어 금속같은 또다른 도전 재료가 제공되어 트랜지스터의 제 2 전극을 형성한다. 절연 재료(3a)가 제 2 전극(4) 상에 제공되어 트랜지스터의 제 2 절연체를 형성하며, 도전 재료 층(5)이 제 2 절연체(3b) 상에 제공되어 트랜지스터의 제 3 전극을 형성한다.

MOSFET 으로 구현되면 제 1 전극(2) 및 제 3 전극(5)은 각각 트랜지스터의 드레인 전극 및 소스 전극을 형성하며 반대 경우도 마찬가지이다. 제 2 전극(4)은 게이트 전극을 형성한다. 제 2 및 제 3 전극(4,5) 그리고 절연체(3a, 3b)는 제 1 전극(2) 상에 제공되어 제 1 전극 및 기판(1)에 대한 관계에서 도 2 에서 참조 번호 6 으로 표시된 확장인 수직 스텝을 형성한다. 따라서 제 2 및 제 3 전극(4,5) 그리고 절연체(3)를 포함하는 구조는 오직 기판(1) 부분만 커버링하며 제 2 전극(2) 또는 기판(1) 상에 수직 스텝을 형성하는 층의 수평적 확장이 비교적 작게 만들어 질 수도 있다.

수직 스텝(6)에 포함되는 게이트 전극(4)의 노출된 수직 표면 위에 절연 재료(7)가 제공되어 전계 효과 트랜지스터의 게이트 절연체를 형성한다. 비결정, 다결정 또는 미정질 무기 또는 유기 반도체 재료일 수도 있는 능동 반도체 재료 층은 예를 들어 트랜지스터의 소스 전극일 수도 있는 제 3 전극(5)의 윗면 위에, 수직 스텝(6) 위에 그리고 제 1 전극(2) 아래에 제공된다. 게이트 전극(4)은 게이트 절연체(7)에 의해 능동 반도체 재료에 대해 절연되어 전하 주입이 차단된다. 실질적으로 수직 트랜지스터 채널은 능동 반도체 재료(8)에서 정의되며 제 1 전극(2)과 제 3 전극(5) 사이에 뻗어있고 실질적으로 수직 스텝에 인접한다. 이런 식으로 구현되면 도 2 에 도시된 구조는 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET)를 형성한다. 드레인 전극으로서 제 1 전극(2) 및 소스 전극으로서 제 3 전극(5)이 임의로 만들어 질 수 있으며 반대 경우도 마찬가지이다. 트랜지스터 효과는 게이트 전위에 의존하는 공핍형이나 능형으로 주어질 것이다. 도 2 및 3 의 실시예에서 기판(1)을 배타적으로 트랜지스터 구조의 캐리어로 하려는 것을 알 것이다. 게다가 도전층(2) 및 제 1 전극이 말하자면 패턴화되지 않은 전체 기판 상에 제공되나 균일하게 패턴화 될 수도 있고 이어 예를 들어 수직 스텝 구조에 의해 커버링되는 것에 상응하는 기판의 일부를 커버링 할 수도 있다. 예를 들어 도 2 의 실시예에서 제 1 전극은 수직 스텝(6)의 표면과 동일 높이일 수도 있으며 기판(1)에 대한 관계에서 스스로 수직 스텝을 공급할 수도 있다. 이 수직 스텝은 예를 들어 게이트 절연체(7)의 수직면과 동일 높이일 수도 있다. 물론 능동 반도체 재료(8)와 필요한 접촉이 되어야함은 필수 조건이다. 제 1 전극이 트랜지스터 네트워크에서 다른 트랜지스터 상의 상응하는 전극과 같바니 전기로 연결되면 기판에 대한 관계에서 수직 구조를 가진 제 1 전극은 부가적으로 유리할 수도 있다. 이런 목적을 위해 전기적 도체는 수직 스텝 외부 기판의 수평 면 상에 제공될 수도 있다.

이제 본 발명에 따른 박막 기술로 접합 전계 효과 트랜지스터의 제작을 위한 방법이 도 4a-e 를 참조하여 보다 상세히 논의될 것이다. 도 2 및 3 에 도시된 바와 같이 접합 전계 효과 트랜지스터의 제작과 관련한 중심 과제는 트랜지스터 효과가 완전히 존재하는 수직 스텝을 형성하는 것이다. 예를 들어 수직 표면을 형성하기 위한 효과적인 방법으로 증명된 소위 리프트-오프(lift-off)법이 사용될 수도 있다. 도 4a-e 에서 도시되며 이제 논의될 상이한 공정 단계가 개략적으로 단순화 됨이 인식될 것이다.

도 4a 에 도시된 대로 도전 재료 층(2)은 자체가 절연 또는 유전 재료로 만들어진 기판 상에 제 1 공정 단계에서 증착된다. 도전 재료(2)는 트랜지스터의 제 1 전극을 형성할 것이다. 도전 재료(2) 위에 잘 알려진 포토리소그래피 절차에 따라 포토레지스트가 증착되며 메스킹 및 에칭되어 수직 스텝(11)을 가진 패턴화된 포토레지스트 층(10)이 제 1 전극(2) 상에 형성된다. 이는 도 4b 에 도시되며 방법의 제 2 공정 단계를 포함한다. 도 4c 에 도시된 제 3 공정 단계에서 제 1 절연체를 형성하는 절연층(3a), 트랜지스터의 제 2 전극을 형성하는 도전 재료(4), 제 2 절연체를 형성하는 제 2 절연층(3b) 및 최상부에 트랜지스터의 제 3 전극을 형성하는 도전 재료 층(5)이 연속해서 제공된다. 예를 들어 기상 증착 과정을 사용함으로써 층(3, 4, 5)은 도 4c 에 명백한 대로 수평하게 적층된 층에서 제 1 전극(2)의 노출된 부분 및 포토레지스트(10)의 상부를 커버링 할 것이다.

제 4 공정 단계에서 리프트-오프 법은 포토레지스트 최상부의 층 및 포토레지스트(10) 자체를 제거하기 위해 사용된다. 이는 예를 들어 아세톤을 사용한 솔벤트 공정 수단에 의해 행해진다. 포토레지스트(10) 및 그것에 대한 최상부의 층이 제거될 때, 구성물은 제 4 공정 단계 후에 도 4d 에 도시된 대로 나타나며 스텝(6)은 제 1 전극(2) 또는 기판(1)에 대해 수직으로 향한다.

이어 가용성 비결정 능동 반도체 재료(8)가 도 4e 에 도시된 제 5 공정 단계에서 제 1 전극(2), 제 2 전극, 수직 스텝(6) 및 제 3 전극(5)의 상부 면 위에 배치된다. 이어 능동 반도체 (8)는 수평 및 수직 층 구조를 커버링할 것이다. 제 1 전극(2)이 패턴화되며 단지 기판(1)의 일부를 커버링하여 예를 들어, 자체로 수직 스텝(6)과 같은 높이의 수직 스텝을 형성할 경우도, 제 1 전극(2) 과 능동 반도체 재료(8) 사이의 접촉으로 인한 문제가 생기지는 않을 것이다.

본 발명에 따른 박막 기술을 사용한 MOSFET 의 제작에서 도 5a 에 도시된 중간을 공정 단계는 도 4d 에 도시된 제 4 공정 단계 후에 적용된다. 이 또다른 공정 단계에서 절연층(6)은 제 2 전극(4) 위에 제공되어 표면이 수직 스텝(6)에 커버링된다. 절연층(7)은 MOSFET 의 게이트 절연체를 포함하며 전하 주입을 방지한다. 게이트 절연체(7)는 산화물이 기판에 제공되는 것 처럼 제 1 전극(2)에 제공되는 과정에서 생성될 수도 있다. 이어 수직 에칭 단계가 수직 방향으로 향하는 게이트 절연체(7)를 형성하는데 사용되어 게이트 전극(4)을 커버링한다. 택일적으로 게이트 절연체(7)는 선택적으로 산화되거나 한 방향 또는 다른 방향으로 처리될 수도 있는 재료에 게이트 전극을 형성함으로써 제공될 수도 있어서 절연층이 게이트 전극의 표면 위에 형성된다. 바람직하게는 게이트 전극의 표면에서 재료의 선택적 산화에 의해 발생할 수도 있다.

도 5a 에 도시된 또다른 공정 단계에서 게이트 절연체(7)를 제공한 후에 도 5b 에 도시된 공정 단계에서 가용성 비결정 능동 반도체 재료(8)가 제 1 전극(2), 게이트 절연체(7), 수직 스텝(6) 및 제 3 전극(5)의 상부 면 위에 공급된다. 이 공정 단계는 도 4e 에 도시된 제 4 공정 단계와 일치한다. 따라서 능동 반도체 재료는 층 구조를 수평 및 수직하게 커버링할 것이다. 제 1 전극(2)이 패턴화되고 기판(1)의 단지 일부만 커버링할 경우 외에도 수직적으로 적층된 층 외부로 다소 확장되는 경우도 제 1 전극(2) 과 능동 반도체 재료(8) 사이의 접촉은 별다른 문제가 없을 것이다.

비결정성 능동 반도체 재료(8)의 제공을 위해 용액으로 부터의 감압 승화, 진공 석출, 스핀 코팅 및 캐스팅(casting) 같은 방법이 사용될 수도 있다. 이는 비결정성 능동 반도체 재료(8)가 원칙적으로 예를 들어, 수평 및 수직의 상이한 방향으로 게이트 전극(4)을 커버링하는 다양한 구조로 형성될 수도 있음을 의미한다. 다양한 능동 재료가 특별한 기능을 가진 전계 효과 트랜지스터를 제공하기 위해 비결정성 반도체 재료에 혼합 또는 결합될 수도 있음이 또한 이해될 것이다. 만일 전계 효과 트랜지스터가 JFET 라면, 게이트 전극을 가진 쇼트키 접합을 자연히 형성하는 재료를 사용하는 것이 바람직할 수도 있으며, MESFET 구조가 통용된다.

비록 도 2 및 도 3 에서 본 발명에 따른 전계 효과 트랜지스터의 제작이 원칙적으로 불연속적 부품으로 도시되었지만, 전체 층 적용으로 반 또는 완전 연속 릴 단위(reel-to-reel) 공정을 사용하는 방법으로 이런 종류의 트랜지스터를 제작하는데 불리한 것은 없다. 능동 반도체 재료(8)는 이런 식으로 연속 공정에 공급된다. 마찬가지로 게이트 절연체도 만일 전계 효과 트랜지스터가 MOSFET 라면 이런 식으로 연속 공정에 공급된다. 이어 연속 공정에서 수직 스텝(6)은 유리하게 라인의 이동 방향과 평행하게 형성될 것이며 게이트 절연체(7) 및 능동 반도체 재료는 수직 스텝 상에 연속적 스트립(strip)으로 공급된다. 도 4e 또는 도 5b 에 도시된 최종 공정 단계 후에, 각 트랜지스터는 라인으로 부터 이탈되며 분리된 성분의 형태로 완성될 수도 있다.

그러나, 많은 수의 트랜지스터를 가진 라인의 대부분은 차례로 메모리 소자로서 각각의 트랜지스터를 가지는 활성 메모리 모듈을 구현하는데 사용될 수도 있는 트랜지스터 배열을 형성할 수도 있다. 이어 트랜지스터는 접속을 위해서 적당한 도전 구조를 형성함으로써 갈바닉(galvanic) 네트워크에 연결되어야 한다.

여기서 개시한 것처럼 일반적으로 수직 전계 효과 트랜지스터는 2차 또는 3차원 집적 전자 회로의 구조 부분으로 구현될 수도 있다. 이런 회로의 가능한 적용은 메모리, 프로세서 등 일 수도 있다. 본 발명에 따른 트랜지스터에 기초한 활성 메모리 소자를 사용하는 명백한 잇점은 소신호 모드에서 기록 가능성 및 대신호 모드에서 판독 가능성이며, 이는 메트릭스 네트워크에서 구현되는 대규모 메모리 모듈에서 메모리 위치의 전기적 어드레싱에 특히 유리할 것이다.

본 발명에 따른 전계 효과 트랜지스터의 제조 공정에 관해서는 언급된 대로 전체적으로 연속 라인을 사용함으로써 구현된다. 이런 경우 프린팅 법 및 VLSI 성분에서 잘 알려진 제작 공정에 의해 수직 기하 구조를 가진 JFET 및 MOSFET 같은 전계 효과 트랜지스터를 제작하는 것이 가능할 것이다.

(57) 청구의 범위

청구항 1.

부도체 재료로 된 평면 기판을 포함하는 트랜지스터인 전계 효과 트랜지스터, 특히 실질적으로 수직 구조를 가지는 접합 전계 효과 트랜지스터에 있어서,

제 1 전극을 포함하는 도전 재료 층(2)은 상기 기판(1) 상에 제공되며, 제 1 절연체를 형성하는 절연 재료 층(3a)은 상기 제 1 전극(2) 위에 제공되며, 제 2 전극을 형성하는 도전 재료 층(4)은 상기 제 1 절연체(3a) 위에 제공되며, 제 2 절연체를 형성하는 또다른 절연 재료 층(3b)은 상기 제 2 전극(4) 위에 제공되며, 제 3 전극을 형성하는 도전 재료 층(5)은 상기 제 2 절연체(3b) 위에 제공되며, 상기 제 1 전극(2) 및 상기 제 3 전극(5)은 각각 트랜지스터의 드레인 및 소스 전극을 포함하며 또는 반대 경우도 동일하며 상기 제 2 전극(4)은 트랜지스터의 게이트 전극을 포함하며, 적층 구조의 상기 제 2 전극(4), 상기 제 3 전극(5), 상기 제 1 절연체(3a) 및 상기 제 2 절연체(3b) 중 적어도 하나는 상기 제 1 전극(2) 및/또는 상기 기판(1)에 대해 수직하게 향하는 스텝(6)을 형성하며, 상기 트랜지스터의 능동 반도체를 형성하는 반도체 재료(8)는 상기 제 1 전극(2), 상기 제 2 전극(4) 및 상기 제 3 전극(5)의 노출된 부분 위에 제공되며, 상기 능동 반도체(8)는 게이트 전극(4)과 직접 접촉하며 상기 제 1 전극(2)과 제 3 전극(5) 사이에 실질적으로 수직하게 향하는 트랜지스터 채널(9)을 형성하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 2.

부도체 재료로 된 평면 기판을 포함하는 트랜지스터인 전계 효과 트랜지스터, 특히 실질적으로 수직 구조를 가지는 금속 산화막 반도체 전계 효과 트랜지스터에 있어서, 제 1 전극을 포함하는 도전 재료 층(2)은 상기 기판(1) 상에 제공되며, 제 1 절연체를 형성하는 절연 재료 층(3a)은 상기 제 1 전극(2) 위에 제공되며, 제 2 전극을 형성하는 도전 재료 층(4)은 상기 제 1 절연체(3a) 위에 제공되며, 제 2 절연체를 형성하는 또다른 절연 재료 층(3b)은 상기 제 2 전극(4) 위에 제공되며, 제 3 전극을 형성하는 도전 재료 층(5)은 상기 제 2 절연체(3b) 위에 제공되며, 상기 제 1 전극(2) 및 상기 제 3 전극(5)은 각각 트랜지스터의 드레인 및 소스 전극을 포함하며 또는 반대 경우도 동일하며 상기 제 2 전극(4)은 트랜지스터의 게이트 전극을 포함하며, 적층 구조에서 각각의 층을 가지는 적어도 상기 제 2 전극(4), 상기 제 3 전극(5), 상기 제 1 절연체(3a) 및 상기 제 2 절연체(3b)는 상기 제 1 전극(2) 및/또는 상기 기판(1)에 대해 수직하게 향하는 상기 스텝(6)을 형성하며, 게이트 절연체를 형성하는 수직하게 향하는 절연 재료 층(7)은 상기 제 2 전극(4) 및 상기 수직 스텝(6) 상에 제공되며, 상기 트랜지스터의 상기 능동 반도체를 구현 및 상기 제 1 전극(2)과 제 3 전극(5) 사이에 실질적으로 수직하게 향하는 트랜지스터 채널(9)을 형성하는 능동 반도체 재료는 상기 제 1 전극(2), 상기 게이트 절연체(7)를 가지는 상기 수직 스텝(6) 및 상기 제 3 전극(5)의 노출된 부분 위에 제공되는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 3.

제 1 항 또는 제 2 항에 있어서, 상기 제 1 전극은 상기 기판(1) 상에 패턴화되어 제공되며 상기 기판(1)에 대해 또다른 중간 스텝을 형성하여, 모든 전극(2, 4, 5)은 상기 능동 반도체(8)에 대해 실질적으로 수직한 면을 제공하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 4.

제 1 항 또는 제 2 항에 있어서, 상기 반도체 재료(8)는 비결정, 다결정 또는 미정질의 무기 또는 유기 반도체 재료 중에서 선택되는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 5.

제 1 항 또는 제 2 항에 있어서, 상기 트랜지스터 채널(9)은 상기 제 1 전극(2)과 상기 제 3 전극(5) 사이의 상기 능동 반도체의 상기 수직한 부분으로 한정되며 상기 적층 구조에 의해 형성되는 상기 수직 스텝에 인접한 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 6.

제 1 항에 있어서, 상기 반도체 재료(8) 및 상기 게이트 전극은 자동적으로 쇼트키 접합(7)을 형성하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 7.

제 1 항에 있어서, 트랜지스터 채널(9)은 상기 제 1 전극(2)과 상기 제 2 전극(5) 사이의 상기 능동 반도체의 상기 수직한 부분에 n 채널 또는 p 채널로 한정되며 상기 게이트 전극(4)에서 pn 접합과 인접한 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 8.

제 2 항에 있어서, 게이트 절연체(7)는 게이트 전극(5)의 수직한 면 상에 산화물 코팅으로 형성되는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 9.

제 8 항에 있어서, 상기 산화물 코팅(7)은 게이트 전극(4) 표면의 전극 재료의 선택적인 산화에 의해 형성되는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 10.

부도체 재료로 된 평면 기판을 포함하는 실질적으로 수직 구조를 가지는 전계 효과 트랜지스터를 제작하는 방법에 있어서,

제 1 전극을 형성하는 도전 재료 층(2)을 기판(1) 상에 증착하는 단계;

포토리소그래피(10)를 포함하며 포토리소그래피 공정에 의해 상기 제 1 전극 및/또는 상기 기판(1)에 대해 수직한 스텝(6)을 상기 제 1 전극(2) 상에 형성하는 단계;

층형의 적층 구조에서 제 1 절연체(3a), 제 2 전극을 형성하는 도전 재료(4), 제 2 절연체(3b) 및 제 3 전극을 형성하는 도전 재료(5)를 각각 수직 스텝(6)을 형성하는 상기 도전 층(2) 및 상기 포토리소그래피(10) 위에 증착하는 단계;

리프트 오프 법으로 상기 포토레지스트(10) 위의 적층된 상기 구조 및 상기 포토레지스트 자체를 제거하여 상기 제 1 전극 상에 제공된 잔여의 절연체-전극 구조는 상기 제 1 전극 및/또는 상기 기판(1)에 대해 수직하게 향하는 스텝(6)을 형성하는 단계; 및

가용성 비결정 능동 반도체 재료를 상기 제 1 전극(2) 및 상기 수직 스텝(6) 위에 증착하는 단계를 포함하며, 상기 반도체 재료는 전계 효과 트랜지스터에서 각각 드레인 또는 소스 전극을 구현하거나 소스 또는 드레인 전극을 구현하는 상기 제 1 전극(2) 및 상기 제 3 전극(5)과 접촉하며, 상기 제 2 전극(4)은 상기 전계 효과 트랜지스터의 게이트 전극을 구현하여 수직하게 향하는 트랜지스터 채널(9)을 형성하는 것을 특징으로 하는 방법.

청구항 11.

제 10 항에 있어서, 상기 전계 효과 트랜지스터는 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET)인데, 상기 제 2 전극(4) 위에 제공되며 전계 효과 트랜지스터에서 게이트 절연체를 형성하는 절연 재료는 수직하게 향하는 층의 상기 수직 스텝(6) 상에 증착되며, 상기 증착은 상기 적층된 구조 및 상기 포토레지스트를 제거한 후, 상기 가용성 비결정 능동 반도체 재료(8)의 증착 전에 일어나는 것을 특징으로 하는 방법.

청구항 12.

제 11 항에 있어서, 상기 게이트 절연체는 상기 게이트 전극(4)의 상기 수직한 면 상에 산화물 코팅으로 형성되는 것을 특징으로 하는 방법.

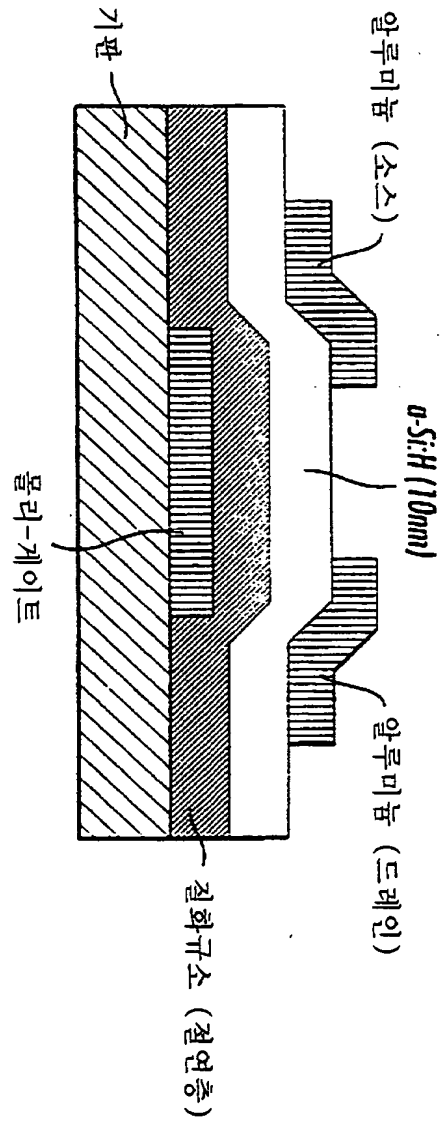
청구항 13.

제 12 항에 있어서, 상기 산화물 코팅은 상기 게이트 전극(4)의 표면에서 전극 재료의 선택적 산화에 의해 형성되는 것을 특징으로 하는 방법.

청구항 14.

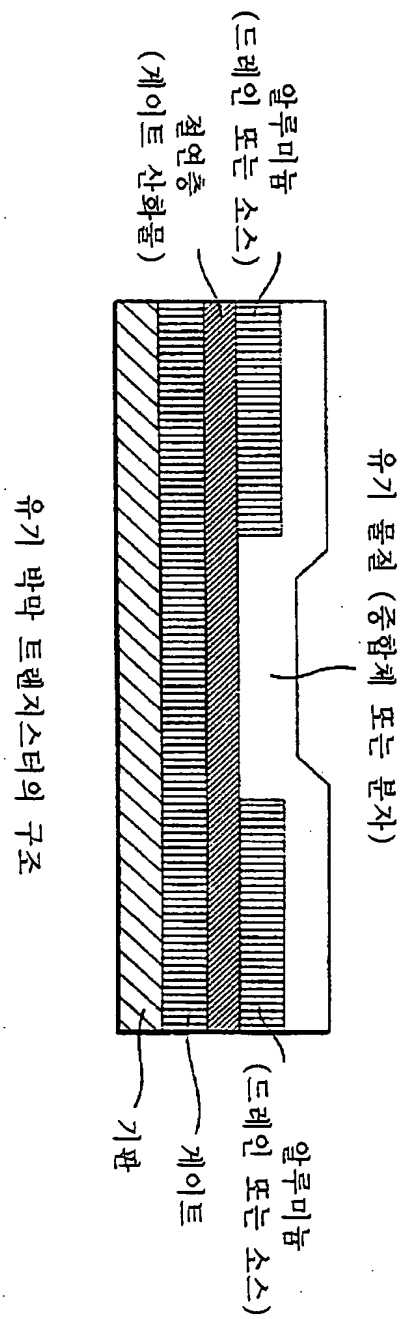
제 10 항에 있어서, 상기 제 1 전극은 상기 기판(1) 상에 패턴화 되어 증착되며 상기 기판의 단지 일부를 커버링 하는 것을 특징으로 하는 방법.

도면

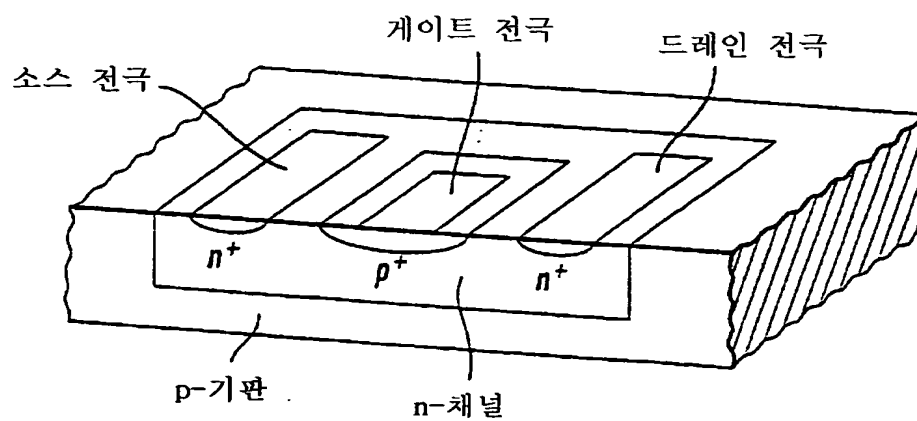


α -Si:H 박막 트랜지스터의 구조

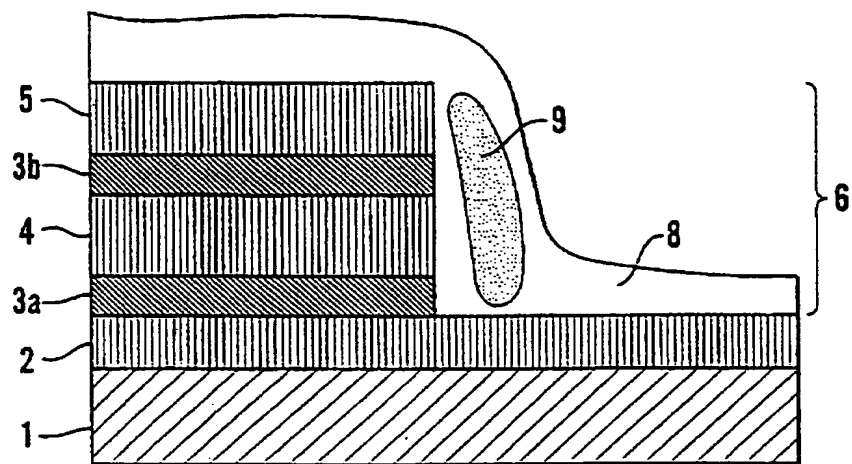
도면 1b



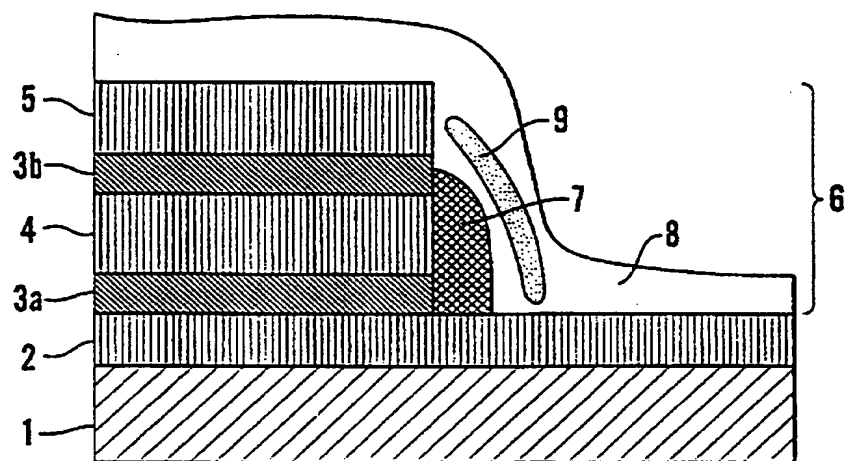
도면 1c



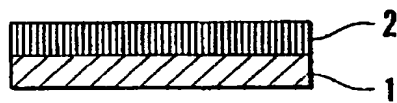
도면 2



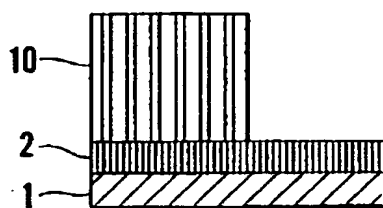
도면 3



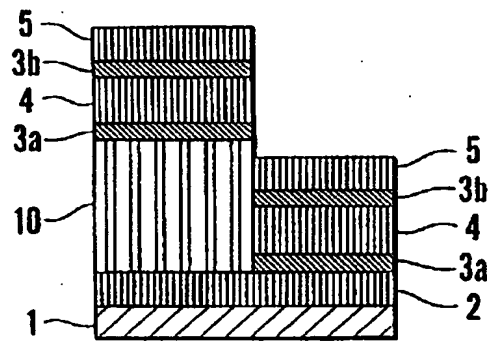
도면 4a



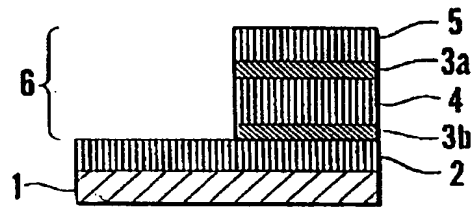
도면 4b



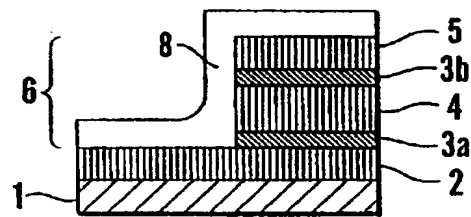
도면 4c



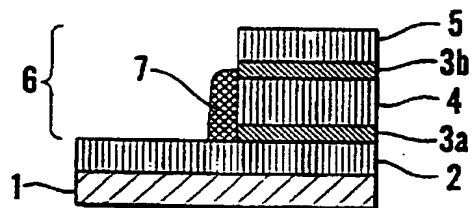
도면 4d



도면 4e



도면 5a



도면 5b

